

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150912

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01L 29/80

(21)Application number : 10-314314

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.11.1998

(72)Inventor : IWASAKI TAKAYUKI

YAO TSUTOMU

ONO TOSHIYUKI

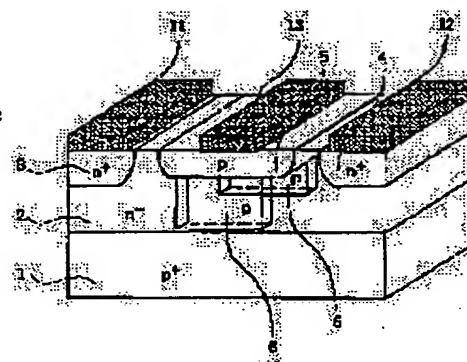
ONOSE HIDEKATSU

(54) STATIC INDUCTION TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To pinch a channel at a low gate voltage and improve off characteristic by constituting a gate by a surface p-type area and a vertical p-type area and expanding a depletion layer two-dimensionally in an off state.

SOLUTION: This transistor is provided with a p⁺-type area 1, an n⁺-type area 2, an n⁺-type area 3, an n⁺-type area 4, a p-type area 5, and further it is provided with a source electrode 11, a drain electrode 12, and a gate electrode 13. A vertical p-type area 6 as well as the p-type area 5 as a gate is used. When the potential of the p⁺-type area 1 is made equivalent to that of the gate, a depletion layer is expanded between the p⁺-type area 1 and p-type area 5 and between the p⁺-type area 1 and vertical p-type area 6. That is, the depletion layer is expanded two-dimensionally. Therefore, since the channel is pinched at a low gate voltage, an SiC static induction transistor excellent in off characteristic can be obtained.



LEGAL STATUS

[Date of request for examination] 31.03.2003

[Date of sending the examiner's decision of rejection] 10.08.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-18491

[Date of requesting appeal against examiner's decision of rejection] 08.09.2004

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-150912

(P2000-150912A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.

識別記号

F I

テマコード (参考)

H 0 1 L 29/80

H 0 1 L 29/80

S 5 F 1 0 2

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平10-314314

(22) 出願日 平成10年11月5日 (1998.11.5)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 岩崎 貴之

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 八尾 勉

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 静電誘導トランジスタ

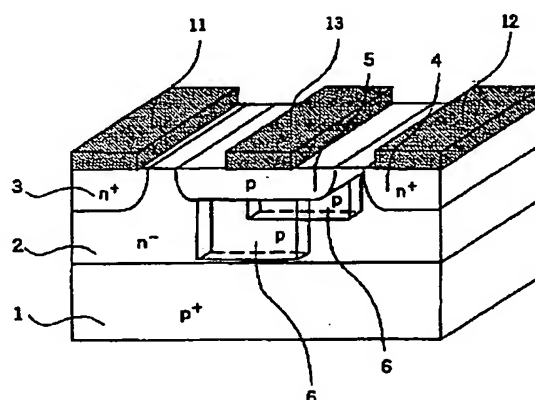
(57) 【要約】

【課題】 シリコンカーバイド (S i C) を用いたプレーナ静電誘導トランジスタは、ドリフト層の濃度が高いため、オフするために大きなゲート電圧が必要となる。

【解決手段】 ゲートを表面 p 型領域と複数の縦型 p 型領域から形成し、空乏層が二次元的に広がる構造とした。

【効果】 オフ特性が優れた S i C 静電誘導トランジスタを実現することが可能となる。

図 1



【特許請求の範囲】

【請求項1】 一对の主表面を有し、低不純物濃度の第一導電型の基体と、前記基体の第一主表面に形成された第二導電型のゲート領域と、前記基体の主表面に形成された第一導電型のソース領域とドレイン領域と、前記基体の、第二主表面に形成された第二導電型の基板領域と、前記ゲート領域に接触するゲート電極と前記ソース電極に接触するソース電極と前記ドレイン電極に接触するドレイン電極からなる静電誘導トランジスタにおいて、ゲート領域と基板領域の間にゲート領域に接触した複数の第二導電型領域を設けたことを特徴とする静電誘導トランジスタ。

【請求項2】 一对の主表面を有し、低不純物濃度の第一導電型の基体と、前記基体の主表面に形成された第一導電型のソース領域とドレイン領域と、前記基体の、第二主表面に形成された第二導電型の基板領域と、ソース領域とドレイン領域の間にあり、前記第一導電型の基体とショットキー接合を形成するショットキーゲート電極と前記ソース電極に接触するソース電極と前記ドレイン電極に接触するドレイン電極からなるショットキーゲート電界効果トランジスタにおいて、ショットキーゲート電極と基板領域の間にショットキーゲート電極に接触した複数の第二ショットキーゲート電極を設けたことを特徴とする静電誘導トランジスタ。

【請求項3】 一对の主表面を有し、低不純物濃度の第一導電型の基体と、前記基体の主表面に形成された第一導電型のソース領域とドレイン領域と、前記基体の、第二主表面に形成された第二導電型の基板領域と、ソース領域とドレイン領域の間にあり、前記第一導電型の基体とショットキー接合を形成するショットキーゲート電極と前記ソース電極に接触するソース電極と前記ドレイン電極に接触するドレイン電極からなるショットキーゲート電界効果トランジスタにおいて、ショットキーゲート電極と基板領域の間にショットキーゲート電極に接触した複数の第二導電型領域を設けたことを特徴とする静電誘導トランジスタ。

【請求項4】 一对の主表面を有し、低不純物濃度の第一導電型の基体と、前記基体の第一主表面に形成された第二導電型のゲート領域と、前記基体の主表面に形成された第一導電型のソース領域とドレイン領域と、前記基体の、第二主表面に形成された高抵抗基板領域と、前記ゲート領域に接触するゲート電極と前記ソース電極に接触するソース電極と前記ドレイン電極に接触するドレイン電極からなる静電誘導トランジスタにおいて、ゲート領域と基板領域の間にゲート領域に接触した複数の第二導電型領域を設けたことを特徴とする静電誘導トランジスタ。

【請求項5】 一对の主表面を有し、低不純物濃度の第一導電型の基体と、前記基体の第一主表面に形成された、第二導電型の第一のゲート領域と、前記基体の第一主表

面に形成された第一導電型のソース領域と、前記基体の第二主表面に形成されたドレイン領域と、前記ソース領域と接触したソース電極と、前記ゲート領域に接触したゲート電極と、前記ドレイン領域に接触したドレイン電極と、前記基体の第一主表面に露出しない埋込型の第二導電型の第二のゲート領域からなる静電誘導トランジスタにおいて、第一のゲート領域と第二のゲート領域の間に、第一のゲート領域と第二のゲート領域に接触した第二導電型領域を設けたことを特徴とする静電誘導トランジスタ。

【請求項6】 一对の直流端子と、相数に等しい個数の交流端子と直流端子と交流端子の間に接続される半導体スイッチング素子とを備える電力変換器において、半導体スイッチング素子に請求項1から請求項5のうち少なくとも一つを実施したことを特徴とする電力変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、静電誘導トランジスタの構造に関する。

【0002】

【従来の技術】 電力変換器の大電力かつ高周波化の要求にともなって、可制御電流が大きいだけでなく、低損失で、かつ高速に動作する半導体スイッチング素子の開発が望まれている。このような要求に応える方法として、以下に示す二つの取り組みが考えられる。一つは今日、最も多用されているシリコンを素子材料に使い、素子構造や動作原理の組み合わせを見直して、既存素子の一層の高性能化を計る方法である。この方法には高度に確立した製造技術と多くの知見を活用できることから、素子性能の向上が容易である反面、性能がシリコンの持つ物理的理論限界で制限を受け、素子性能の大幅な向上は望めないという課題がある。

【0003】 もう一つは、素子の原材料から見直して、シリコンの限界をはるかに越えた、高性能なパワー半導体素子を実現する方法がある。例えば、シリコンカーバイド（以下SiC）を用いた場合、素子性能がシリコンを用いた素子の10倍以上になることが、文献：IEEE Electron Device Letters, Vol. 10, No. 10, p. 455 (1989)の中に示されている。このように、SiCを利用することで、優れた素子性能のデバイスが実現できる理由は、アバランシェ降伏電界が大きいことにある。例えば、SiCはアバランシェ降伏電界がシリコンの約10倍と大きく、素子のドリフト層の電気抵抗を約2桁小さくできることが、文献：IEEE Transaction of Electron Devices, Vol. 40, No. 3, p. 645 (1993)に示されている。そのため、素子がオン状態の時に発生する電力損失を小さくできるとして、大きな期待がもたれている。

【0004】 SiCのMOSFETの試作例はこれまでに、いくつか報告されている。しかし、反転層の移動度が低

く、オン抵抗が高くなる。われわれは、SiCにおいては、反転層の移動度の向上は困難と考え、静電誘導トランジスタ(Static Induction Transistor)に注目した。静電誘導トランジスタは反転層がないため、反転層の移動度が低い問題を回避できる。

【0005】図2は従来の静電誘導トランジスタの鳥瞰図を示す。この半導体基板はp⁺型領域1、n⁻型領域2、n⁻型領域3、n⁻型領域4、p型領域5からなり、ソース電極11と、ドレイン電極12と、ゲート電極13が設けられている。ソースに対して、ゲートの電位を低くすることにより、p型領域5とp⁺型領域1の間、いわゆるチャネルと呼ばれる領域に空乏層を広げ、ドレイン電極12とソース電極11を流れる電流をオフすることができる。なお、p⁺型領域1の電位、すなわち基板電位はソースまたはゲートと同電位とする。

【0006】

【発明が解決しようとする課題】しかしながら、図2の構造では、オフ特性が著しく悪いものとなる。すなわち、オフするために大きなゲート電圧を加えなければならない。

【0007】SiCにおいて、上記したようにオフ特性が悪いのは、ドリフト層と呼ばれるn⁻型領域の不純物濃度が高いため、空乏層が伸びにくいためである。シリコンの静電誘導トランジスタと同じ耐電圧で比較した場合、SiCのn⁻型領域の不純物濃度は約100倍となる。

【0008】不純物濃度Nと空乏層幅Wには、次のような関係がある。

【0009】 $W \propto N^{-0.5}$ したがって、SiCの空乏層幅はシリコンの約1/10となる。不純物濃度が高いことは、導通時の抵抗低減には有効であるが、オフ特性が著しく悪いという問題を引き起こす。

【0010】以上より、従来構造ではオフ特性の優れたSiC静電誘導トランジスタを実現することは困難である。

【0011】

【課題を解決するための手段】上記問題を解決するために、本発明ではゲートを表面p型領域と縦型p型領域から構成し、オフ状態で空乏層を二次元的に広げる。

【0012】以上の手段により、空乏層が横および縦方向に伸びるため、低ゲート電圧でチャネルをピンチでき、オフ特性を大幅に向上することが可能となる。

【0013】

【発明の実施の形態】以下、本発明を実施例を開示しながら詳細に説明する。

【0014】図1は本発明の第1の実施例であり、シリコンカーバイド(SiC)静電誘導トランジスタの鳥瞰図を示す。

【0015】この半導体基板はp⁺型領域1、n⁻型領域2、n⁻型領域3、n⁻型領域4、p型領域5からなり、

り、ソース電極11と、ドレイン電極12と、ゲート電極13が設けられている。

【0016】本実施例の特徴は、ゲートとしてp型領域5の他に、縦型p型領域6を用いたことである。

【0017】従来例とのオフ状態での動作の違いを以下説明する。図3は従来例の図2の導通状態での鳥瞰図を示す。21は電子の流れを示す。断面20は、ソース、ドレイン方向に対して、ゲート電極の位置で垂直に切った面を表している。

【0018】図4はオフ状態での図3における断面20の空乏層の様子を示す。21は電子の流れを示し、手前から奥に向かう向きである。22は空乏層を示す。なお、p⁺型領域1の電位をゲート電位と同じとした。この場合、空乏層はp⁺型領域1とp型領域5から、n⁻型領域2の方向に上下に広がる事が分かる。すなわち、空乏層は一次元的に広がる。

【0019】図5は本発明の第一の実施例である図1の導通状態での鳥瞰図を示す。21は電子の流れを示す。電子は縦型p型領域6がないところを流れる。断面20は、ソース、ドレイン方向に対して、ゲート電極の位置で垂直に切った面を表している。

【0020】図6はオフ状態での図5における断面20の空乏層の様子を示す。21は電子の流れを示し、手前から奥に向かう向きである。22は空乏層を示す。なお、p⁺型領域1の電位をゲート電位と同じとした。この場合、空乏層はp⁺型領域1とp型領域5の間、および縦型p型領域6の間に広がる。すなわち、空乏層は二次元的に広がる。以上より、本発明では低いゲート電圧でチャネルがピンチするため、優れたオフ特性のSiC静電誘導トランジスタを実現することができる。

【0021】図7は本発明の第二の実施例であり、SiCのショットキーゲート電界効果トランジスタの鳥瞰図を示す。

【0022】この半導体基板はp⁺型領域1、n⁻型領域2、n⁻型領域3、n⁻型領域4からなり、ソース電極11と、ドレイン電極12と、n⁻型領域2とショットキー接合を形成するショットキーゲート電極14が設けられている。

【0023】本実施例の特徴は、ゲートとしてショットキーゲート電極14の他に、縦型ショットキーゲート領域15を用いたことである。この構造でも、図6と同様に空乏層は二次元的に広がる。以上より、本発明では低いゲート電圧でチャネルがピンチするため、優れたオフ特性のSiC静電誘導トランジスタを実現することができる。

【0024】図8は本発明の第三の実施例であり、SiCのショットキーゲート電界効果トランジスタの鳥瞰図を示す。

【0025】この半導体基板はp⁺型領域1、n⁻型領域2、n⁻型領域3、n⁻型領域4からなり、ソース電

極11と、ドレイン電極12と、 n^+ 型領域2とショットキー接合を形成するショットキーゲート電極14が設けられている。

【0026】本発明の特徴は、ゲートとしてショットキーゲート電極14の下に、縦型 p 型領域6を用いたことである。この構造でも、図6と同様に空乏層は二次元的に広がる。以上より、本実施例では低いゲート電圧でチャネルがピンチするため、優れたオフ特性のSiC静電誘導トランジスタを実現することができる。

【0027】図9は本発明の第四の実施例であり、SiCの静電誘導トランジスタの鳥瞰図を示す。

【0028】図1と異なる本実施例の特徴は、基板として p^+ 型領域1の代わりに、高抵抗領域7を用いたことである。この構造でも、図6と同様に空乏層は二次元的に広がる。以上より、本発明では低いゲート電圧でチャネルがピンチするため、優れたオフ特性のSiC静電誘導トランジスタを実現することができる。

【0029】図10は本発明の第五の実施例であり、SiCの縦型静電誘導トランジスタの断面図である。 p^+ 型領域1の代わりに、埋込 p 型領域9を用いたことが、第一の実施例と異なる。ソース電極に対してドレイン電極が半導体基板の反対の表面に形成されているが、チャネルは横方向である。この構造でも、図6と同様に空乏層は二次元的に広がる。以上より、本実施例では低いゲート電圧でチャネルがピンチするため、優れたオフ特性のSiC静電誘導トランジスタを実現することができる。

【0030】図11は、本発明を適用したSiC静電誘導トランジスタおよびダイオードを用いて、電動機駆動用インバータを構成した一例を示したものである。六個の静電誘導トランジスタ、SW11、SW12、SW21、SW22、SW31、SW32により、三相誘導電動機を制御する例である。SiC静電誘導トランジスタは損失が小さく、冷却系を簡素化することができる。すなわち、インバータ装置を用いたシステムの低コスト化、高効率化が達成できる。

【0031】以上、本発明の実施例を説明したが、本発明はさらに多くの適用範囲あるいは派生範囲をカバーするものである。

【0032】本明細書では、SiC素子の場合のみを述

べたが、他の半導体材料にも適用できる。特に、ダイヤモンド、ガリウムナイトライドなどのワイドギャップ半導体材料に有効である。

【0033】本明細書では、 n 型素子の場合のみを述べたが、本明細書における n 型層を p 型層に変えた素子にも、本発明の構造は適用できる。

【0034】

【発明の効果】本発明によれば、オフ特性が優れたSiC静電誘導トランジスタを実現することができる。

【図面の簡単な説明】

【図1】本発明を適用したSiC静電誘導トランジスタの第一の実施例を示す鳥瞰図。

【図2】従来の静電誘導トランジスタを示す鳥瞰図。

【図3】図2のSiC静電誘導トランジスタの導通状態での電子の流れを示す鳥瞰図。

【図4】図2のオフ状態での空乏層の延びを示す断面図。

【図5】図1のSiC静電誘導トランジスタの導通状態での電子の流れを示す鳥瞰図。

【図6】図1のオフ状態での空乏層の延びを示す断面図。

【図7】本発明を適用したSiCショットキーゲート電界効果トランジスタの第二の実施例を示す鳥瞰図。

【図8】本発明を適用したSiCショットキーゲート電界効果トランジスタの第三の実施例を示す鳥瞰図。

【図9】本発明を適用したSiC静電誘導トランジスタの第四の実施例を示す鳥瞰図。

【図10】本発明を適用したSiC縦型静電誘導トランジスタの第五の実施例を示す鳥瞰図。

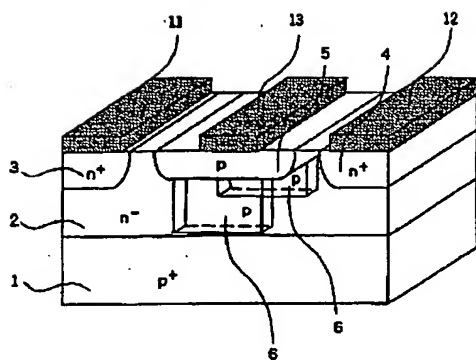
【図11】本発明を適用したSiC静電誘導トランジスタを使ったインバータ装置の一実施例の主回路。

【符号の説明】

1… p^+ 型領域、2… n^+ 型領域、3… n^+ 型領域、4… n^+ 型領域、5… p 型領域、6…縦型 p 型領域、7…高抵抗領域、8… n^+ 型基板、9…埋込 p 型領域、11…ソース電極、12…ドレイン電極、13…ゲート電極、14…ショットキー電極、15…縦型ショットキー電極、20…ソース、ドレイン方向に対して垂直な方向にゲート位置で切った断面、21…電子の流れ、22…空乏層。

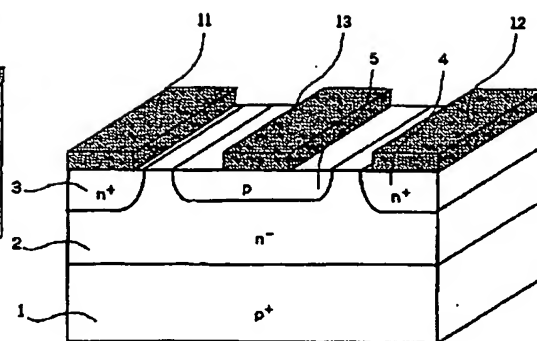
【図1】

図 1



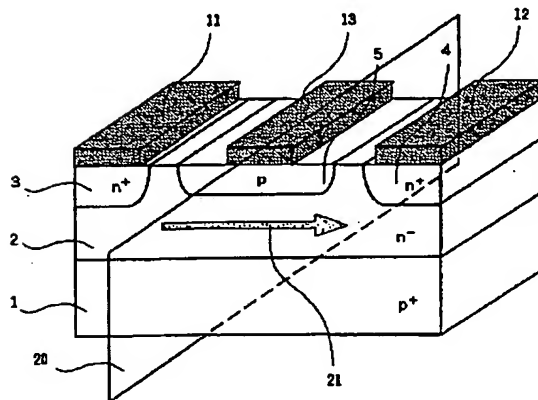
【図2】

図 2



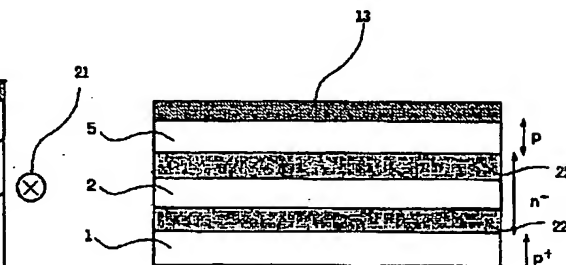
【図3】

図 3



【図4】

図 4

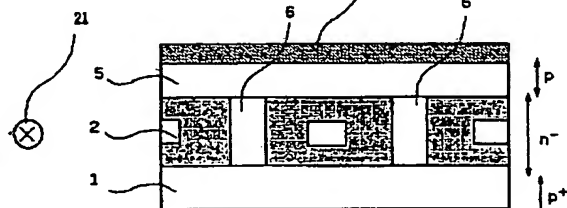
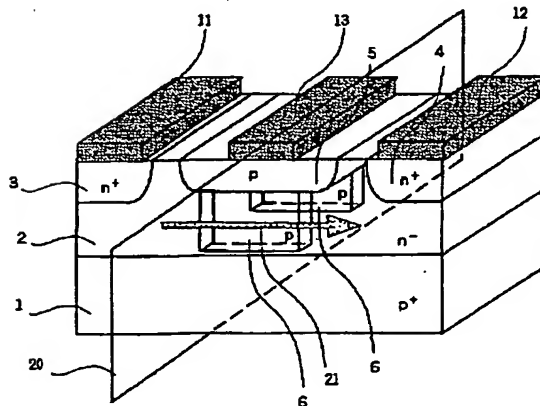


【図6】

図 6

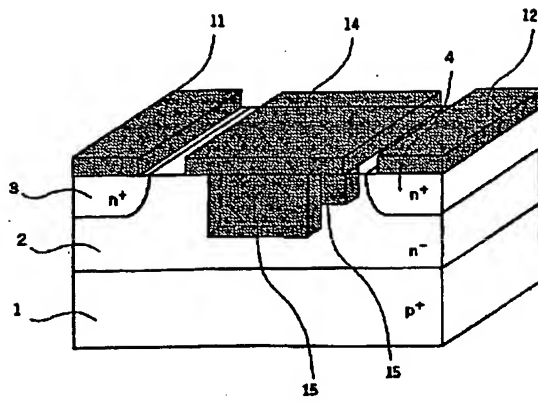
【図5】

図 5



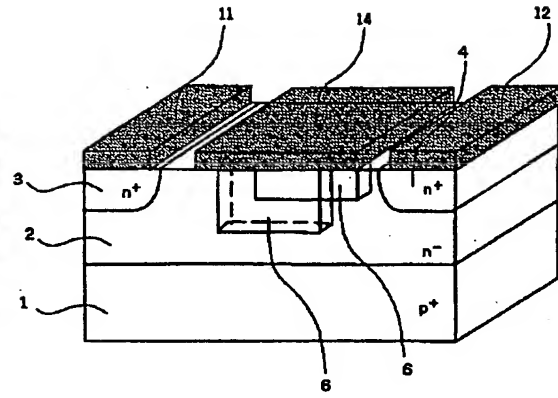
【図7】

図 7



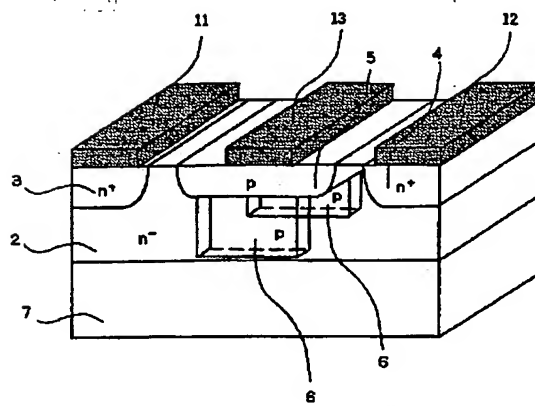
【図8】

図 8



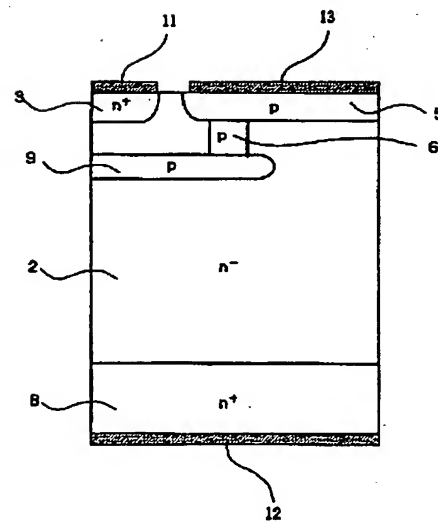
【図9】

図 9

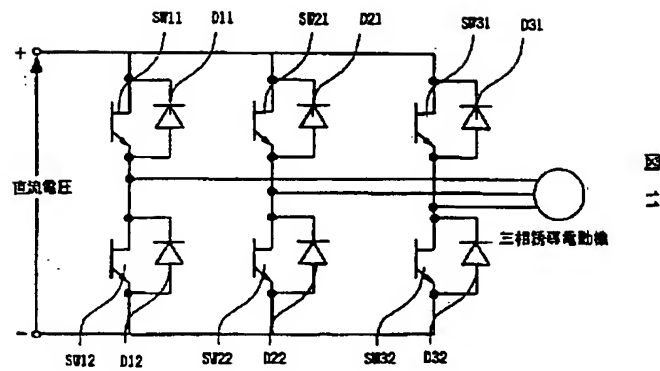


【図10】

図 10



【図11】



フロントページの続き

(72)発明者 大野 俊之
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 小野瀬 秀勝
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
Fターム(参考) 5F102 FB01 GB01 GB04 GD04 GJ02
GL02 GR09